

PAT-NO: JP406318561A  
DOCUMENT-IDENTIFIER: JP 06318561 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: November 15, 1994

INVENTOR- INFORMATION:

NAME  
HAYASHI, TAKASHI

ASSIGNEE- INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP05105433

APPL-DATE: May 6, 1993

INT-CL (IPC): H01L021/266

ABSTRACT:

PURPOSE: To form two or more kinds of regions of different densities by only one-time impurity dosing and one-time diffusion treatment on the surface of a semiconductor substrate by changing an aperture ratio of one MOS transistor formation scheduled region and the other MOS transistor formation scheduled region, using one impurity source.

CONSTITUTION: Using a photo mask 3 having openings 5 of the size A which are formed at intervals of B and openings 4 of the size A' which are formed at intervals of B', photo resist 2 is exposed. Then, the patterned mask constituted of the photo resist 2 is formed on a

semiconductor substrate 1 (an aperture ratio  $A/B > A'/B'$ ). Nextly, impurities 9 are closed with the photo resist 2 being used as a mask. When heat treatment is conducted, the impurities dosed through the openings 5 are diffused in a region 5a and the impurities dosed through the openings 4 are diffused in a region 4a. Due to superposition of these, the impurities are diffused to an extent of a region 6. As a result, two kinds of impurity diffusion layers 7, 8 of different densities are formed.

COPYRIGHT: (C)1994,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-318561

(43)公開日 平成6年(1994)11月15日

(51)Int.Cl.  
H 01 L 21/266

識別記号  
8617-4M

府内整理番号  
H 01 L 21/ 265

F I  
M

審査請求 未請求 請求項の数1 O.L (全 6 頁)

(21)出願番号 特願平5-105433

(22)出願日 平成5年(1993)5月6日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 林 敬司

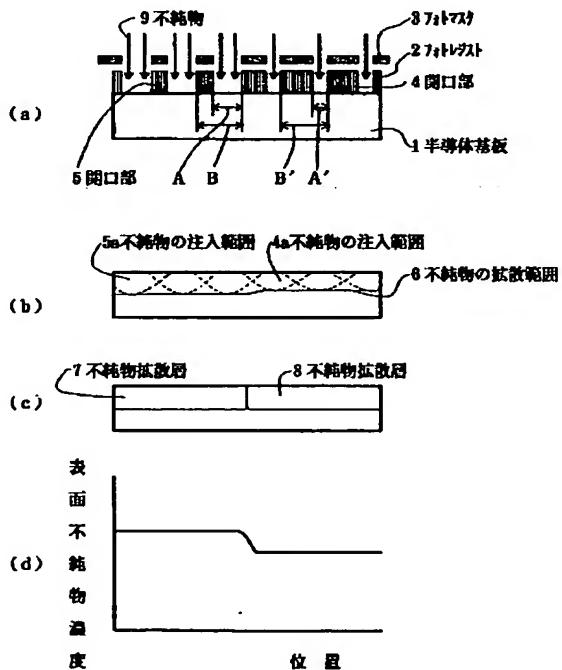
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74)代理人 弁理士 野河 信太郎

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 半導体装置の製造工程を簡略化を図る。  
【構成】 様数のMOSトランジスタを有する半導体装置の製造方法であって、基板上にマスクを形成し、該マスクに1つのMOSトランジスタ形成予定領域内においては同じサイズの複数の開口を、他のMOSトランジスタ形成予定領域内においては同じサイズであるが前記開口のサイズとは異なる複数の開口を設けたパターン化マスク2を形成し、該パターン化マスク2を介して、同一の不純物源より同時に不純物を注入し、次いで拡散処理に付すことにより不純物濃度の異なる領域を複数形成し、該不純物濃度の異なる領域毎にMOSトランジスタを形成する。



1

2

## 【特許請求の範囲】

【請求項1】 基板上にマスクを形成し、該マスクに1つのMOSトランジスタ形成予定領域内においては同じサイズの複数の開口を、他のMOSトランジスタ形成予定領域内においては同じサイズであるが前記開口のサイズとは異なる複数の開口を設けたパターン化マスクを形成し、該パターン化マスクを介して、同一の不純物源より同時に不純物を注入し、次いで拡散処理に付すことにより不純物濃度の異なる領域を複数形成し、該不純物濃度の異なる領域毎にMOSトランジスタを形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は半導体装置の製造方法に関する。更に詳しくは、互いに耐圧の異なる複数種類のMOSトランジスタを同じ半導体装置に製造する場合に使用される半導体装置の製造方法に関する。

## 【0002】

【従来の技術及び発明が解決しようとする課題】互いに耐圧の異なる複数種類のMOSトランジスタを同じ半導体装置として製造する場合、半導体基板表面に2種類以上の不純物濃度の領域を形成することが必要である。そのため、図7(a)～(c)のように2種類以上のマスク材の形成が必要である。

【0003】すなわち半導体基板101にフォトマスク102を用いてフォトレジスト103を形成しそれをパターン化マスクとして不純物104をイオン注入する(図7(a))。次にフォトマスク105を用いて103とは別の領域にフォトレジスト108を形成しそれをパターン化マスクとして不純物107をイオン注入する(図7(b))。

【0004】その後熱拡散処理を行って不純物拡散層109、110が形成される(図7(c))。不純物104、107の種類及び不純物量を適切に設定することにより図7(d)のような半導体基板表面不純物濃度分布が得られる。また、特開昭第63-153817号公報あるいは特開平第3-245525号公報には、一つのトランジスタ内で不純物拡散層に濃度の勾配をもたせて耐圧の向上、あるいは、傾斜ポテンシャルの形成を行う方法が開示されている。

【0005】ここで、液晶ドライバー等の半導体装置では論理信号を処理する部分と出力信号を処理する部分を持つため、2種類以上のトランジスタ耐圧が必要となる。一般に論理信号処理は低い電源電圧(～5V)で駆動し、トランジスタの寸法を小さくするために基板不純物濃度は比較的高く設定する必要がある。一方出力信号処理部は高い電源電圧で駆動するため基板不純物濃度は比較的低く設定する必要がある。このような半導体装置を製造するには半導体基板表面に2種類以上の不純物濃度の領域を形成しなければならないが、上記従来技術

10

では製造工程が複雑となるという問題点がある。

## 【0006】

【課題を解決するための手段及び作用】かくして本発明によれば、基板上にマスクを形成し、該マスクに1つのMOSトランジスタ形成予定領域内においては同じサイズの複数の開口を、他のMOSトランジスタ形成予定領域内においては同じサイズであるが前記開口のサイズとは異なる複数の開口を設けたパターン化マスクを形成し、該パターン化マスクを介して、同一の不純物源より同時に不純物を注入し、次いで拡散処理に付すことにより不純物濃度の異なる領域を複数形成し、該不純物濃度の異なる領域毎にMOSトランジスタを形成することを特徴とする半導体装置の製造方法が提供される。

【0007】この発明で形成されるパターン化マスクにおける開口は、1つのMOSトランジスタ形成予定領域で、同じサイズで複数からなる。この形成予定領域における開口の割合(以下開口比と称する)が、前記領域内に導入する不純物濃度と相関関係がある。従って、この発明では、1つの不純物源を用い、1つのMOSトランジスタ形成予定領域と他のMOSトランジスタ形成予定領域とでは、開口比を変えることにより、所望の不純物濃度差を得ようとするものである。

【0008】この目的のため、1つの形成予定領域(X)では、複数の開口を各開口が同じサイズになるよう形成される。他の形成予定領域(Y)では、前記領域(X)における開口比と異ならせるため、複数の開口のそれぞれを前記の開口より大きいか又は小さくして構成される。また各領域における開口の数は、一方向につき5個以上が好ましい。次に、パターン化マスクに形成される個々の開口の形状の一例を、開口比の定義式とともに図4(a)～(e)に示すが、示された開口の形状に本発明は限定されるものではない。開口比は、予め基板に均一に導入されている不純物の濃度及び注入する不純物の濃度を考慮して、所望の不純物濃度領域を形成するために調整することができる。本発明に使用されるパターン化マスクの開口比は、少なくとも0より大きく1より小さく、0.04～0.8が好ましい。

【0009】次に開口比と半導体基板表面の不純物濃度との関係を図5に示した。この図から開口比、予め基板に均一に導入されている不純物及び注入する不純物の濃度を調整することによって所望の不純物濃度の領域を得られることがわかる。更に、開口比とその領域内に形成されたトランジスタの耐圧との関係を図6に示す。図5からも明らかなように、所望の不純物濃度の領域を得ることができるので、それぞれのMOSトランジスタの耐圧に対応した不純物濃度を設定することができる。ここで図5及び図6の測定条件として、半導体基板として不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ のn型シリコン基板を用いた。開口の形状として、図4(a)に示した形状を使用し、B=3μmに固定し、Aを調節した。また、不純物

20

30

40

50

としてホウ素を使用し、注入条件を65keV、3.0×10<sup>13</sup>cm<sup>-2</sup>とし、熱拡散の条件を1150°C、25hrとした。

【0010】パターン化マスクに使用できる材料としては、フォトレジスト、熱酸化膜、CVDで積層された膜等が挙げられる。例えばマスクにフォトレジストを使用する場合、スピナー法等によって膜厚1～2μmで塗布し、露光、現像、溶媒による除去によってパターン化マスクを形成することができる。このフォトレジストには公知のものが使用でき、ポジ型及びネガ型のいずれでも使用可能である。

【0011】次に上記マスクとしてフォトレジストを使用した場合の不純物の注入方法の一例を、図1に基づいて説明する。まず基板上にマスクを積層する。本発明に使用できる基板としては、公知の基板を使用することができるが、シリコン基板を使用することが好ましい。またこの基板はあらかじめn型あるいはp型の導電型に設定されていてもよい。次に、図1(a)に示すように半導体基板1上に、間隔Bで大きさAの開口部5及び間隔B'で大きさA'の開口部4を設けたフォトマスク3を用いて、フォトレジストを露光し、フォトレジスト2からなるパターン化マスクを形成(ただし開口比A/B>A'/B')する。ここで、形成される不純物領域の濃度によっても相違するが、開口は2～4μmが好ましく、開口部AはBの0.04～0.8倍、開口部A'はB'の0.04～0.8倍が好ましい。

【0012】次に、上記フォトレジスト2をパターン化マスクとして不純物9を注入する。注入方法としては、所望の不純物濃度を実現できるならばどのような方法も使用することができる。そのような方法としては、イオン注入、気相拡散、ドープドオキサイド、分子線エビタキシー等が挙げられる。例えばイオン注入法を使用する場合、注入の条件は、形成される不純物領域の濃度によっても相違するが、15～150KeV、1×10<sup>12</sup>～5×10<sup>13</sup>ions/cm<sup>2</sup>が好ましい。また不純物としては、p型不純物領域を形成する場合は、ホウ素等が挙げられ、n型不純物領域を形成する場合は、リン、砒素、アンチモン等が挙げられる。

【0013】その後、1000～1150°Cで熱処理を行うと、不純物が導入された部位から導入されない部位へ拡散する。すなわち開口部5から導入された不純物は5aの範囲まで拡散し、開口部4から導入された不純物は4aの範囲まで拡散する。それらの重ね合わせによって6の範囲まで不純物が拡散する(図1(b))。その結果、図7(d)と同様な図1(c)に示す半導体基板表面不純物分布をもつ2種類の濃度の均一な不純物拡散層7、8を形成することができる(図1(d))。

【0014】次に公知の方法に基づいて、素子分離領域、ソース・ドレイン領域となる不純物拡散層、ゲート酸化膜、ゲート電極を形成することによって、不純物濃

度の異なるMOSトランジスタを形成することができる。以上のように、複数種類のMOSトランジスタの耐圧を持つ半導体装置を製造するために半導体基板表面に2種類以上の不純物濃度の領域を形成する工程で、それぞれのMOSトランジスタの耐圧に対応した不純物濃度を設定し、それに応じて開口部の大きさを変えて上記手段のごとく不純物導入、熱拡散処理を行うことにより、1回の不純物導入、拡散処理で半導体基板表面に2種類以上の濃度の異なる領域を同時に形成することができる。

### 【0015】

#### 【実施例】

##### 実施例1

n型半導体基板に2種類の異なる耐圧をもつn型トランジスタを同一半導体基板に形成する場合について図2に基づいて述べる。図2(a)にて不純物濃度1×10<sup>16</sup>cm<sup>-3</sup>のn型Si基板11にフォトマスク13を用いて膜厚1～2μmのフォトレジスト12を形成し、それをパターン化マスクとしてホウ素からなる不純物19を65keV、3×10<sup>13</sup>ions/cm<sup>2</sup>でイオン注入した。ここで開口パターンには図4(b)のパターンを使用し、B=B'=3μm、A=2.2μm(開口比=0.54)、A'=1.8μm(開口比=0.36)とした。

【0016】次に、パターン化マスクを除去後、熱拡散(1150°C、25hr)によりp型不純物濃度が1.8×10<sup>16</sup>cm<sup>-3</sup>の不純物拡散層17、p型不純物濃度が1.0×10<sup>16</sup>cm<sup>-3</sup>の不純物拡散層18を形成した(図2(b))。この基板の表面層の表面不純物濃度の分布を図2(c)に示した。その後、従来技術により素子分離のための電気絶縁膜21、n型不純物拡散層24、ゲート酸化膜22、ゲート電極23を設けた。以上の工程により耐圧30Vの第1のn型トランジスタ(I)と、耐圧42Vの第2のn型トランジスタ(II)を形成することができた(図2(d))。

### 【0017】実施例2

n型半導体基板に2種類の異なる耐圧をもつp型トランジスタを同一半導体基板に形成する場合について図3に基づいて述べる。図3(a)にて不純物濃度1×10<sup>16</sup>cm<sup>-3</sup>のn型Si基板31にフォトマスク33を用いて膜厚1～2μmのフォトレジスト32を形成し、それをパターン化マスクとしてホウ素からなる不純物39を65keV、3×10<sup>12</sup>ions/cm<sup>2</sup>でイオン注入した。ここで図4(b)のパターンを使用し、B=B'=3μm、A=1.0μm(開口比=1.11)、A'=0.7μm(開口比=0.05)とした。

【0018】次に、パターン化マスクを除去後、熱拡散(1150°C、25hr)によりn型不純物濃度2.0×10<sup>15</sup>cm<sup>-3</sup>の不純物拡散層37、n型不純物濃度6.0×10<sup>15</sup>cm<sup>-3</sup>の不純物拡散層38が形成された(図3(b))。この基板の表面層の表面不純物濃度の分布を

図3(c)に示した。その後、従来技術により素子分離のための電気絶縁膜41、p型不純物拡散層44、ゲート酸化膜42、ゲート電極43を設けた。以上の工程により耐圧-54Vの第1のp型トランジスタ(III)と、耐圧-46Vの第2のp型トランジスタ(IV)を形成することができた(図3(d))。

【0019】

【発明の効果】液晶ドライバー等の半導体装置を効率良く製造する為には、低い電源電圧(～5V)で駆動される論理信号処理部と高い電源電圧で駆動される出力信号処理部とを同じ半導体基板に形成するため、半導体基板表面にそれぞれの部分に最適な2種類以上の不純物濃度の領域を形成しなければならない。

【0020】従来技術では複数回の不純物の導入工程が必要だったが、本発明により1回の不純物の導入工程で同時に複数種類の不純物濃度領域を形成することが可能となり半導体装置の製造工程を簡略化出来る。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の概略説明図である。

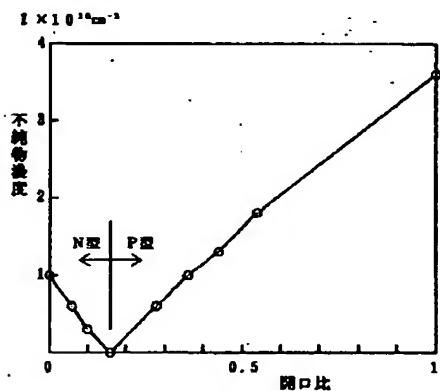
【図2】本発明の実施例での半導体装置の製造方法の概略説明図である。

【図3】本発明の実施例での半導体装置の製造方法の概略説明図である。

【図4】半導体基板に選択的に不純物を導入する開口の一例である。

【図5】開口比と半導体基板の表面層の不純物濃度との関係を示す図である。

【図5】



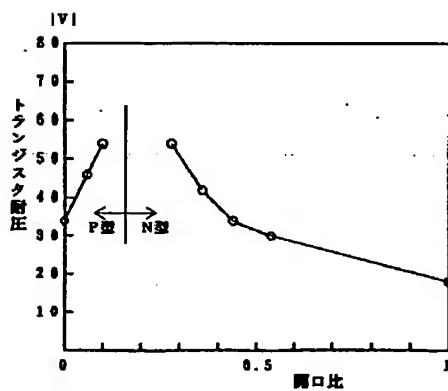
【図6】開口比とトランジスタの耐圧との関係を示す図である。

【図7】従来の半導体装置の製造方法の概略説明図である。

【符号の説明】

1、11、31	半導体基板
2、12、32	フォトレジスト(パターン化マスク)
3、13、33	フォトマスク
4、5	開口部
10	4a、5a 不純物の注入範囲
	6 不純物の拡散範囲
	7、17、37 不純物拡散層
	8、18、38 不純物拡散層
	9、19、39 不純物
20	21、41 素子分離領域
	22、42 ゲート酸化膜
	23、43 ゲート電極
	24、44 n型不純物拡散層
	101 半導体基板
	102 フォトマスク
	103 フォトレジスト(パターン化マスク)
	104 不純物
	105 フォトマスク
	107 不純物
	108 フォトレジスト(パターン化マスク)
	109 不純物拡散層
	110 不純物拡散層

【図6】



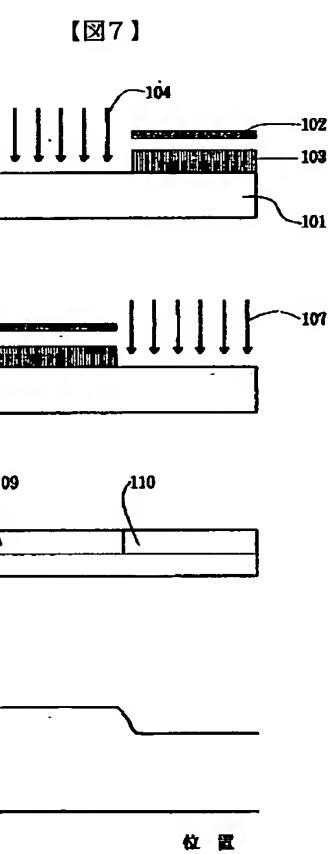
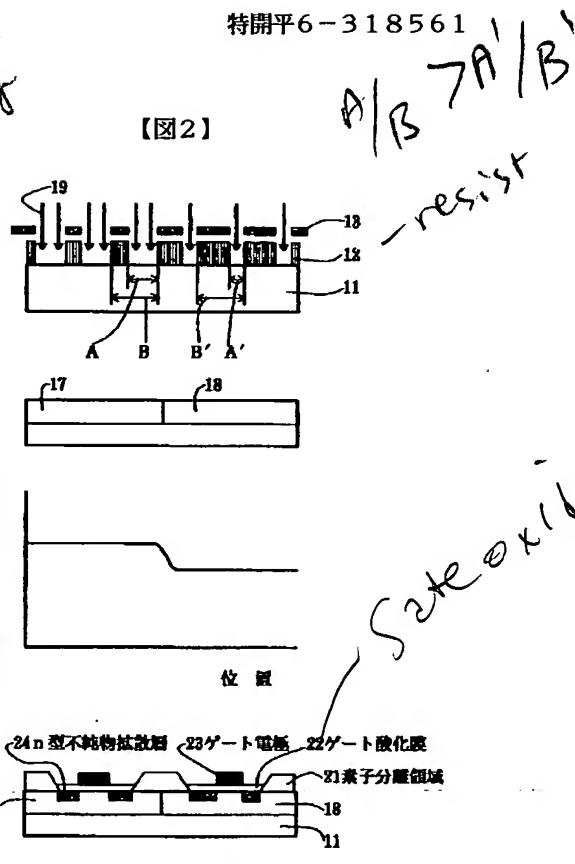
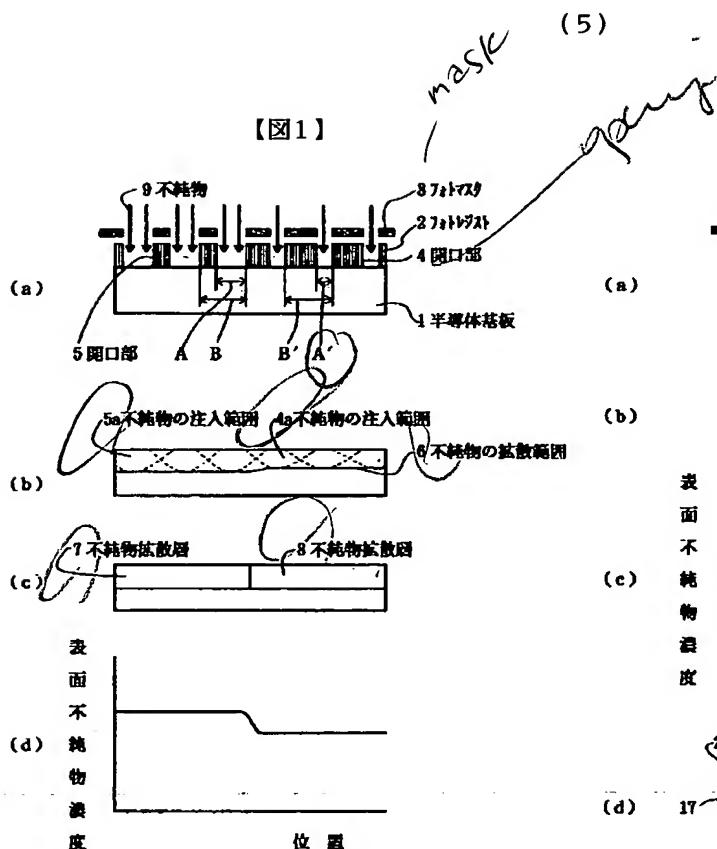
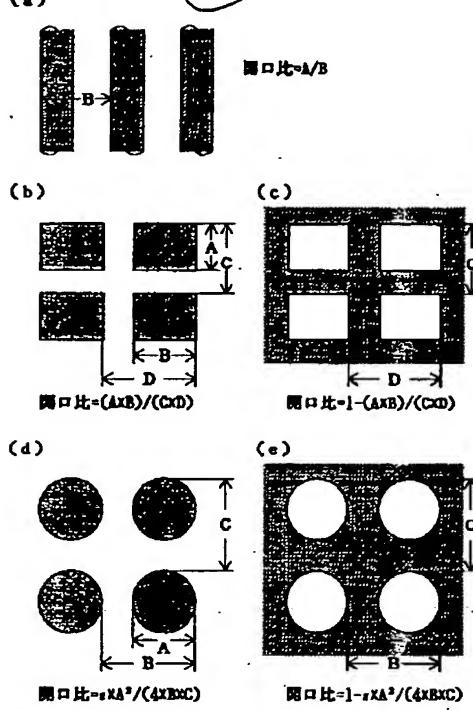


図4



■ 不純物導入部

$A \approx 2.2$   
 $A \approx 1.8$

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

JP-6-318561

VI

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a semiconductor device. Furthermore, it is related with the manufacture approach of the semiconductor device used when manufacturing two or more kinds of MOS transistors from which pressure-proofing differs mutually in detail to the same semiconductor device.

[0002]

[Description of the Prior Art] When manufacturing two or more kinds of MOS transistors from which pressure-proofing differs mutually as the same semiconductor device, it is required to form the field of two or more kinds of high impurity concentration in a semi-conductor substrate front face. Therefore, two or more kinds of mask material needs to be formed like drawing 7 (a) - (c).

[0003] Namely, a photo mask 102 is used for the semi-conductor substrate 101, a photoresist 103 is formed, and the ion implantation of the impurity 104 is carried out by making it into a patterning mask (drawing 7 (a)). Next, a photoresist 108 is formed in field where 103 is another using a photo mask 105, and the ion implantation of the impurity 107 is carried out by making it into a patterning mask (drawing 7 (b)).

[0004] The post heating diffusion process is performed and impurity diffused layers 109 and 110 are formed (drawing 7 (c)). A semi-conductor substrate surface impurity atom concentration profile like drawing 7 (d) is acquired by setting up appropriately the class and the amount of impurities of impurities 104 and 107. Moreover, the method of giving the inclination of concentration to the Provisional-Publication-No. No. 153817 [ 63 to ] official report or the publication-number No. 245525 [ three to ] official report within one transistor at an impurity diffused layer, and performing improvement in pressure-proofing or formation of dip potential is indicated.

[0005] Here, in semiconductor devices, such as a liquid crystal driver, since it has the part which processes a logic signal, and the part which processes an output signal, two or more kinds of transistor pressure-proofing is needed. Generally, logic signal processing is driven with low supply voltage (- 5 V), and in order to make the dimension of a transistor small, it is necessary to set up substrate high impurity concentration comparatively highly. On the other hand, since it drives with high supply voltage, the output signal processing section needs to set up substrate high impurity concentration comparatively low. Although the field of two or more kinds of high impurity concentration must be formed in a semi-conductor substrate front face in order to manufacture such a semiconductor device, there is a trouble that a production process becomes complicated, with the above-mentioned conventional technique.

[0006]

[Means for Solving the Problem and its Function] In this way, according to this invention, a mask is formed on a substrate and it sets in one MOS transistor formation schedule field on this mask. Two or more same openings of size In other MOS transistor formation schedule fields, although it is the same size, form the patterning mask which prepared two or more different openings from the size of said opening, and this patterning mask is minded. An impurity is poured into coincidence from the same source of an impurity, by subsequently to diffusion process giving, two or more fields where high impurity concentration differs are formed, and the manufacture approach of the semiconductor device characterized by the thing from which this high impurity concentration differs, and for which an MOS transistor is formed for every field is offered.

[0007] Opening in the patterning mask formed by this invention is one MOS transistor formation schedule field, and consists of plurality in the same size. There are the high impurity concentration and the correlation of opening in this formation schedule field which are introduced comparatively (a throat area ratio is called below) in said field. Therefore, in this invention, it is going to acquire a desired high-impurity-concentration difference by changing a throat area ratio using one source of an impurity in one MOS transistor formation schedule field and other MOS transistor formation schedule fields.

[0008] For this object, in one formation schedule field (X), it is formed so that each opening may become the same size about two or more openings. or [ that it is larger than the aforementioned opening in each of two or more openings in other formation schedule fields (Y) in order to make it differ from the throat area ratio in said field (X) ] -- or it is made small and constituted. Moreover, as for the number of openings in each field, five or more per one direction are desirable. Next, although an example of the configuration of each opening formed in a patterning mask is shown in drawing 4 (a) - (e) with the definition type of a throat area ratio, this invention is not limited to the configuration of shown opening. A throat area ratio can be adjusted in order to form a desired high-impurity-concentration field in a substrate beforehand in consideration of the concentration of the impurity introduced into homogeneity, and the concentration of the impurity to pour in. The throat area

ratio of the patterning mask used for this invention is smaller than 1, and 0.04-0.8 are greatly more desirable than at least 0. [0009] Next, the relation between a throat area ratio and the high impurity concentration of a semi-conductor substrate front face was shown in drawing 5. By adjusting the concentration of a throat area ratio, the impurity introduced into homogeneity, and the impurity to pour in to a substrate beforehand from this drawing shows that the field of desired high impurity concentration can be obtained. Furthermore, the relation between the area ratio of orifice and pressure-proofing of the transistor formed in the field is shown in drawing 6. Since the field of desired high impurity concentration can be obtained so that clearly also from drawing 5, the high impurity concentration corresponding to pressure-proofing of each MOS transistor can be set up. High impurity concentration used n mold silicon substrate of  $1 \times 1016 \text{cm}^{-3}$  as a semi-conductor substrate as a Measuring condition of drawing 5 and drawing 6 here. As a configuration of opening, the configuration shown in drawing 4 (a) was used, it fixed to  $B = 3$  micrometers, and  $A$  was adjusted. Moreover, boron was used as an impurity, impregnation conditions were set to  $65\text{keV(s)}$  and  $3.0 \times 1013 \text{cm}^{-2}$ , and the conditions of thermal diffusion were set to 1150 degrees C and 25hr.

[0010] As an ingredient which can be used for a patterning mask, a photoresist, the thermal oxidation film, the film by which the laminating was carried out by CVD are mentioned. For example, when using a photoresist for a mask, it can apply by 1-2 micrometers of thickness by the spinner method etc., and a patterning mask can be formed by exposure, development, and clearance by the solvent. A well-known thing can be used for this photoresist, and either a positive type or a negative mold is usable.

[0011] Next, an example of the impregnation approach of the impurity at the time of using a photoresist as the above-mentioned mask is explained based on drawing 1. The laminating of the mask is first carried out on a substrate. Although a well-known substrate can be used as a substrate which can be used for this invention, it is desirable to use a silicon substrate. Moreover, this substrate may be beforehand set as the conductivity type of n mold or p mold. Next, as shown in drawing 1 (a), a photoresist is exposed using the photo mask 3 which formed the opening 4 of magnitude  $A'$  by the opening 5 of magnitude  $A$ , and spacing  $B'$  at intervals of  $B$  on the semi-conductor substrate 1, and the patterning mask which consists of a photoresist 2 is formed (merely dehiscence opening ratio  $A/B > A'/B'$ ). Although it is different with the concentration of the impurity range formed here, 2-4 micrometers of opening are desirable, and 0.04 to 0.8 times of  $B$  and opening  $A'$  have Opening  $A$  ] 0.04 to 0.8 desirable times of  $B'$ .

[0012] Next, an impurity 9 is poured in by using the above-mentioned photoresist 2 as a patterning mask. As the impregnation approach, if desired high impurity concentration is realizable, any approaches can be used. As such an approach, an ion implantation, gaseous-phase diffusion, doped oxide, molecular beam epitaxy, etc. are mentioned. For example, although the conditions of impregnation are different with the concentration of the impurity range formed when using ion-implantation,  $15-150\text{KeV}$ , and  $1 \times 1012 - 5 \times 1013 \text{ ions/cm}^2$  are desirable. Moreover, as an impurity, when forming p mold impurity range, boron etc. is mentioned, and when forming n mold impurity range, Lynn, arsenic, antimony, etc. are mentioned.

[0013] Then, if it heat-treats at 1000-1150 degrees C, it will be spread to the part which is not introduced from the part where the impurity was introduced. That is, the impurity introduced from opening 5 is diffused to the range of 5a, and the impurity introduced from opening 4 is diffused to the range of 4a. An impurity is spread to the range of 6 by those superposition (drawing 1 (b)). Consequently, the impurity diffused layers 7 and 8 with two kinds of uniform concentration with the semi-conductor substrate surface impurity distribution shown in the same drawing 1 (c) as drawing 7 (d) can be formed (drawing 1 (d)).

[0014] Next, the MOS transistor from which high impurity concentration differs can be formed by forming the impurity diffused layer used as a component isolation region and a source drain field, gate oxide, and a gate electrode based on a well-known approach. At as mentioned above, the process which forms the field of two or more kinds of high impurity concentration in a semi-conductor substrate front face in order to manufacture a semiconductor device with pressure-proofing of two or more kinds of MOS transistors By setting up the high impurity concentration corresponding to pressure-proofing of each MOS transistor, changing the magnitude of opening according to it, and performing impurity installation and thermal diffusion processing like the above-mentioned means The field where two or more kinds of concentration differs can be simultaneously formed in a semi-conductor substrate front face by one impurity installation and diffusion process.

[0015]

[Example]

n mold transistor which has two kinds of different pressure-proofing in an example 1 n-type-semiconductor substrate is described based on drawing 2 about the case where it forms in the same semi-conductor substrate. The photo mask 13 was used for the n mold Si substrate 11 of high-impurity-concentration  $1 \times 1016 \text{cm}^{-3}$  by drawing 2 (a), the photoresist 12 of 1-2 micrometers of thickness was formed, and the ion implantation of the impurity 19 which consists of boron by making it into a patterning mask was carried out by  $65\text{keV(s)}$  and  $3 \times 1013 \text{ ions/cm}^2$ . The pattern of drawing 4 (b) was used for the opening pattern here, and they could be  $B=B'=3$  micrometer,  $A=2.2$  micrometers (throat area ratio = 0.54), and  $A'=1.8$  micrometer (throat area ratio = 0.36).

[0016] Next, the impurity diffused layer 17 of  $1.8 \times 1016 \text{cm}^{-3}$  and p mold high impurity concentration formed [ p mold high impurity concentration ] the impurity diffused layer 18 of  $1.0 \times 1016 \text{cm}^{-3}$  by thermal diffusion (1150 degrees C, 25hr) after removing a patterning mask (drawing 2 (b)). Distribution of the surface high impurity concentration of the surface layer of this substrate was shown in drawing 2 (c). Then, the electric insulation film 21 for isolation, n mold impurity diffused layer 24, gate oxide 22, and the gate electrode 23 were formed with the conventional technique. 1st n mold transistor (I) of

proof-pressure 30V and 2nd n mold transistor (II) of proof-pressure 42V were able to be formed according to the above process (drawing 2 (d)).

[0017] p mold transistor which has two kinds of different pressure-proofing in an example 2 n-type-semiconductor substrate is described based on drawing 3 about the case where it forms in the same semi-conductor substrate. The photo mask 33 was used for the n mold Si substrate 31 of high-impurity-concentration  $1 \times 10^{16} \text{ cm}^{-3}$  by drawing 3 (a), the photoresist 32 of 1-2 micrometers of thickness was formed, and the ion implantation of the impurity 39 which consists of boron by making it into a patterning mask was carried out by 65kev(s) and  $3 \times 10^{12} \text{ ions/cm}^2$ . The pattern of drawing 4 (b) was used here and they could be  $B=B'=3 \text{ micrometer}$ ,  $A=1.0 \text{ micrometers}$  (throat area ratio = 1.11), and  $A'=0.7 \text{ micrometer}$  (throat area ratio = 0.05).

[0018] Next, the impurity diffused layer 37 of n mold high-impurity-concentration  $2.0 \times 10^{15} \text{ cm}^{-3}$  and the impurity diffused layer 38 of n mold high-impurity-concentration  $6.0 \times 10^{15} \text{ cm}^{-3}$  were formed of thermal diffusion (1150 degrees C, 25hr) after removing a patterning mask (drawing 3 (b)). Distribution of the surface high impurity concentration of the surface layer of this substrate was shown in drawing 3 (c). Then, the electric insulation film 41 for isolation, p mold impurity diffused layer 44, gate oxide 42, and the gate electrode 43 were formed with the conventional technique. It is 1st p mold transistor (III) of proof-pressure-54V by the above process. 2nd p mold transistor (IV) of proof-pressure-46V was able to be formed (drawing 3 (d)).

[0019]

[Effect of the Invention] In order to manufacture semiconductor devices, such as a liquid crystal driver, efficiently and to form in the same semi-conductor substrate the logic signal-processing section driven with low supply voltage (- 5 V), and the output signal processing section driven with high supply voltage, the field of two or more kinds of optimal high impurity concentration for each part must be formed in a semi-conductor substrate front face.

[0020] Although the introductory process of the impurity of multiple times was required of the conventional technique, it becomes possible to form two or more kinds of high-impurity-concentration fields simultaneously at the introductory process of 1 time of an impurity by this invention, and the production process of a semiconductor device can be simplified.

---

[Translation done.]